

CHIP CAPACITOR

Publication number: JP2000294444

Publication date: 2000-10-20

Inventor: OE SATOSHI

Applicant: SUMITOMO ELECTRIC INDUSTRIES

Classification:

- international: **H01G4/12; H01G2/04; H01L25/16; H01G4/12; H01G2/00; H01L25/16;** (IPC1-7): H01G2/04; H01G4/12; H01L25/16

- European:

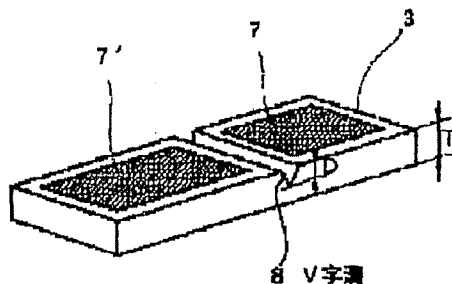
Application number: JP19990100854 19990408

Priority number(s): JP19990100854 19990408

Report a data error here

Abstract of JP2000294444

PROBLEM TO BE SOLVED: To prevent stress cracking in a part constituting a capacitor by forming a groove in a dielectric member between electrodes in a capacitor having two electrodes and a specific length. **SOLUTION:** On a surface of a dielectric member that forms a capacitor 3, two electrodes 7 and 7' are formed, between which a V groove 8 is formed. U shape may be allowed in place of the shape of the V groove 8. The depth D of the groove is preferably 20%-50% of the thickness T of the dielectric member of the chip capacitor. Here, the capacitor 3 has two electrodes 7 and 7' and a length of 2.5 mm or more and 4.0 mm or less. Alternatively, two electrodes are formed on the surface of a dielectric member that forms a capacitor, while a V groove is formed on the backside surface of the dielectric member. Further alternatively, two electrodes are formed on a surface of a dielectric member that forms a capacitor, while a U groove is formed on the surface of the dielectric member and on just the backside position of the dielectric member, a V groove is formed.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-294444
(P2000-294444A)

(43) 公開日 平成12年10月20日 (2000.10.20)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 G 2/04		H 0 1 G 1/03	E 5 E 0 0 1
4/12	4 1 2	4/12	4 1 2
H 0 1 L 25/16		H 0 1 L 25/16	A

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平11-100854

(22) 出願日 平成11年4月8日 (1999.4.8)

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 大江 聡

兵庫県伊丹市昆陽北一丁目1番1号 住友

電気工業株式会社伊丹製作所内

(74) 代理人 100078813

弁理士 上代 哲司 (外2名)

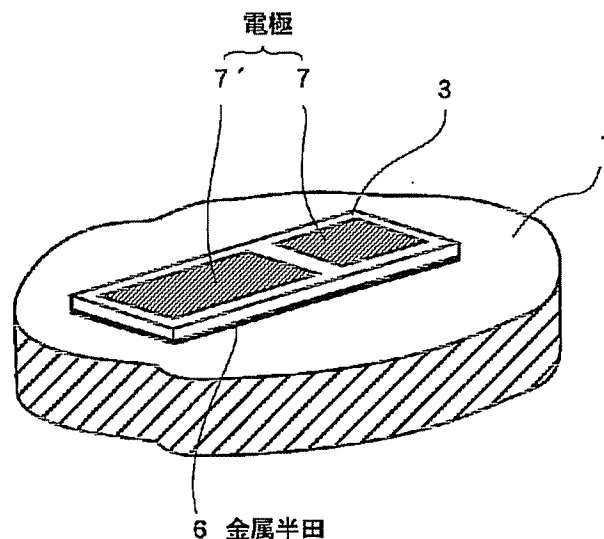
Fターム (参考) 5E001 AB01 AB05 AD05 AH06 AJ02

(54) 【発明の名称】 チップコンデンサ

(57) 【要約】

【課題】 ビンアンプ等に用いるチップコンデンサの製造工程を簡略にし、かつその結果から起こる不良を減少させる。

【解決手段】 チップコンデンサに搭載する電極部分間にV乃至U字の溝を予め構成し、熱膨張熱収縮による歪み応力を集中させ、電極部分の割れを防ぐ。その深さは誘電体厚みの20%以上50%以下が好ましい。



【特許請求の範囲】

【請求項1】 搭載するパッケージにAuSn若しくはAuGe半田で接着される、電極を2個以上有する長さ2.5mm以上4.0mm以下のコンデンサであって、前記電極間の誘電体に溝を設けたことを特徴とするチップコンデンサ。

【請求項2】 搭載するパッケージにAuSn若しくはAuGe半田で接着される、電極を2個以上有する長さ2.5mm以上4.0mm以下のコンデンサであって、前記電極間の誘電体裏側に溝を設けたことを特徴とするチップコンデンサ。

【請求項3】 搭載するパッケージにAuSn若しくはAuGe半田で接着される、電極を2個以上有する長さ2.5mm以上4.0mm以下のコンデンサであって、前記電極間の誘電体及びその裏側に溝を設けたことを特徴とするチップコンデンサ。

【請求項4】 前記溝が板の厚みの20～50%の深さを有する請求項1乃至3のいずれかに記載のチップコンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光通信等に用いられる受光モジュール等に搭載されるチップコンデンサに関する。

【0002】

【従来の技術】通信需要の拡大に伴って、通信方式も従来の電気信号方式から光通信へと変わりつつある。この光通信の受信を行うデバイスの1つにピンアンプがある。ピンアンプの構成は図1に示すような電子回路を有し、複数のコンデンサを必要とする。図1では、PD電源ノイズ除去用のコンデンサAと、アンプ電源ノイズ除去用のコンデンサBの2種類の容量の異なるコンデンサを用いる。このピンアンプには図2に示すように、パッケージ1の表面中心にPDチップ2が位置し、そのPDチップ2を搭載するためにコンデンサ3が用いられるのが一般的である。PDが搭載された電極とパッケージを接着する金属半田に接着する電極との間にコンデンサが形成される。その他にプリアンプ4が搭載される。

【0003】チップコンデンサの部分を取り出したものが図3であり、パッケージ1の表面に金属半田6でチップコンデンサ3が接着され、表面電極7、7'と金属半田6との間にコンデンサが形成される。このようにすると複数の電極を持つチップコンデンサを1回で実装でき、安価で且つ高密度なモジュール組立が可能となる。

【0004】

【発明が解決しようとする課題】ピンアンプのパッケージにチップコンデンサを搭載する場合には、接着材として導電性樹脂を用いる方法と低融点の半田(AuSn, AuGe)を用いる場合がある。前者は、気密封止の必要が無い場合に用いられるが、後者は、気密封止が必要

な場合に使用する。この理由は、気密封止したパッケージ内部で樹脂内部より、ガスを発生して内部のデバイスに悪影響を及ぼす場合があるためである。このように金属半田を用いる場合は、用いる半田の融点以上に基板と搭載するチップコンデンサを加熱する必要があり、基板とチップコンデンサの板の熱膨張の違いから、接着時にチップコンデンサの板が割れる不具合があった。

【0005】特にピンアンプのパッケージにはFeのような金属が、チップコンデンサの誘電体にはアルミナのようなセラミックがよく用いられる。このような材料を用いているので、半田付けでは、加熱時にパッケージの膨張が大きくなり、接着後室温に戻るとパッケージの収縮率がチップコンデンサのそれよりも大きいために、両者の界面に応力が発生する。特にコンデンサのサイズが2.5mm以上のコンデンサでは、接着する半田のボイドが多くなり、チップコンデンサの破壊を生むことになる。特に電極の部分にこの割れが発生すると、コンデンサの容量が変化し、デバイスとしての用をなさなくなる。チップコンデンサの長さが4.0mmを越える場合は、使用するパッケージの大きさと比較してピンアンプの用途として大きすぎる。

【0006】

【課題を解決するための手段】本発明は、この割れによるデバイスの不良を排除する手段として、たとえ割れが発生しても、性能に関係しない部分に発生するようにチップコンデンサに予め応力集中部分を設けるものである。その具体的手段の1つは、搭載するパッケージにAuSn若しくはAuGe半田で接着される、電極を2個以上有する長さ2.5mm以上、4.0mm以下のコンデンサであって、前記電極間の誘電体に溝を設けたことを特徴とするものである。また、他の1つは、搭載するパッケージにAuSn若しくはAuGe半田で接着される、電極を2個以上有する長さ2.5mm以上、4.0mm以下のコンデンサであって、前記電極間の誘電体及びその裏側に溝を設けたことを特徴とする。この溝はU字でもV字でもよく、その深さは板の厚みの20～50%の深さを有するのが好ましい。20%未満では、応力の集中が不足しがちであり、50%を越えると誘電体の強度自体が減少し、部品の取り扱い時に割れる可能性がある。

【0007】これらの溝は、ダイシング前のシート状のコンデンサにダイヤモンドカッターで機械的に溝切りするのもよく、レーザーにて溝部分の形成をする物理的な手段を用いても良い。

【0008】

【発明の実施の形態】図1は、本発明を利用するピンア

ンプの電気回路図である。コンデンサA、コンデンサBを一個のパッケージ上に形成する。図2は、その具体的な搭載例である。図3は従来のチップコンデンサの概要図である。チップコンデンサ3は、2つ以上の電極7、7'が誘電体の上に形成され、この電極の反対側(裏側)をピンアンプのパッケージ1に導電性接着材で接着する。

【0009】図4は、本発明のチップコンデンサの1つの例である。コンデンサ3を形成する誘電体の表面に2つの電極7、7'が形成され、その間にU字溝8を形成する。U字溝8の形状は、図ではU字としているが、V字であっても構わない。溝深さDは、チップコンデンサの誘電体の厚みTに対し、20%~50%が好ましい。

【0010】図5は、本発明のチップコンデンサの他の例である。コンデンサ3を形成する誘電体の表面に2つの電極7、7'が形成され、該誘電体の裏側にV字溝9が形成される。図5では、溝をV字に形成しているが、U字であっても構わない。また、溝は、チップコンデンサの大きさと電極の大きさにより3つの電極がある場合に、2本の溝を形成しても良く、中央部よりの1本としても良い。

【0011】図6は、本発明のさらなる例を示す。コンデンサ3を形成する誘電体の表面に2つの電極7、7'が形成され、該誘電体の表面にU字型溝8が形成され、そのちょうど裏側にあたる誘電体にV字溝9が形成されている。このV字溝9、U字溝8については、どちらが表面にあっても構わず、またU字のみでもV字のみであっても構わない。双方の溝を形成した残りの誘電体の厚みが、50%~80%残存するようになっていれば良い。

【0012】図7は、本発明のチップコンデンサを搭載するパッケージの一例である。Feのパッケージ1の基体にピン5が接続されており、この表面にチップコンデンサを接続する。図では点線部分10にチップコンデンサを接続する。

【0013】(実施例1)図7のような表面がFeシェルの直径5mmパッケージの上面に、図4で示すような Al_2O_3 製の長さ2.5mm、幅0.7mm、厚み0.155mmで電極間の表面に深さ0.7mmのV字溝を形成したチップコンデンサを用意し、裏面にAuGe半田を付け、温度370℃でパッケージ表面に接着した。室温に冷却した後、このコンデンサを実体顕微鏡で観察したところ、実装後の割れが発生していたのは15%であり、全てがV字溝部分に発生していた。

【0014】(実施例2)実施例1と同様にFeシェルの直径5mmパッケージの表面に図5で示すような Al_2O_3 の実施例1と同じ大きさの基板を用意し、電極を同様に作成した後、電極間に相当する Al_2O_3 誘電体の電極と反対側に深さ0.7mmのU字形の溝を作成した。その後、このU字溝のある側にAuSn半田を付

け、Feシェルに装着した。コンデンサの接着温度は310℃であった。室温まで冷却後、実施例1と同様、実体顕微鏡で観察した結果、割れの発生度合いは12%有り、全てがU字溝部分に発生しており、電極部分には割れが存在しなかった。

【0015】(実施例3)実施例1と同様にFeシェルの直径5mmパッケージの表面に図6で示すような Al_2O_3 誘電体の表面に電極2個を設け、その電極間にU字溝を0.3mmの深さで作成した。同じ位置の電極とは反対側にV字溝を0.3mm深さに作成した。V字溝のある側にAuSn半田を付け、パッケージに310℃で接着した。室温まで冷却後、実体顕微鏡で観察したところ、11%の割れが発見された。しかし割れた部分は、溝の部分に集中しており、コンデンサ部分の電極には影響しなかった。

【0016】(比較例1)実施例1と同様にFeシェルの直径5mmパッケージの表面に実施例1と同じ大きさのチップコンデンサを用意した。ここでは、溝を省略した。電極と反対側にAuGe半田を付け、370℃で接着した。室温に冷却後、実体顕微鏡観察したところ、割れが発生していたのは、10%であり、そのうち半数が電極部分を含んで割れていた。電極部分を含んで割れたサンプルは、コンデンサ容量に変化があり、パッケージとして不良とされた。

【0017】

【発明の効果】以上のように、チップコンデンサに予め応力を集中する部分を設けることで、肝心のコンデンサとなる部分に応力割れを発生させず、全て使用できるパッケージが得られることができる。コンデンサの実装は、パッケージの装着が進んでからの作業であり、不良率を減少させることは、コスト的に大いに有効である。

【図面の簡単な説明】

【図1】従来のプリアンプの配線図である。

【図2】プリアンプを搭載するピンアンプパッケージの概要図である。

【図3】本発明のチップコンデンサの模式図である。

【図4】本発明のチップコンデンサの一例である。

【図5】本発明のチップコンデンサの別の例である。

【図6】本発明のチップコンデンサのさらなる別の例である。

【図7】本発明を搭載するパッケージの例である。

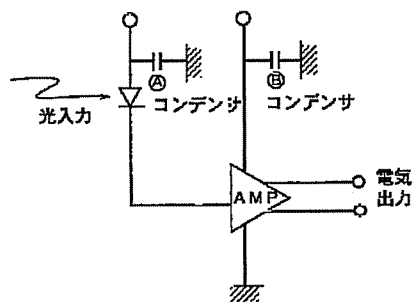
【符号の説明】

- 1 パッケージ
- 2 PD素子
- 3 コンデンサ
- 4 プリアンプ
- 5 ピン
- 6 金属半田
- 7, 7' 電極
- 8 V字溝

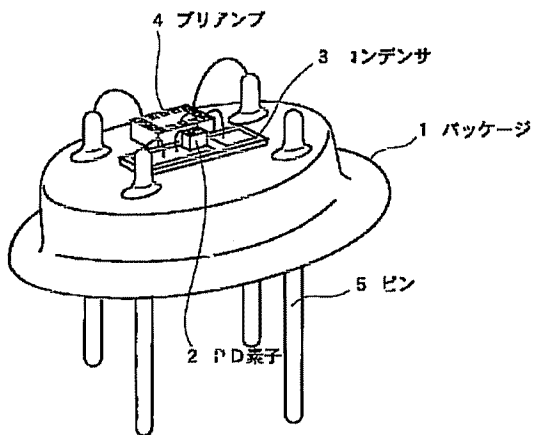
9 U字溝

10 コンデンサ搭載部分

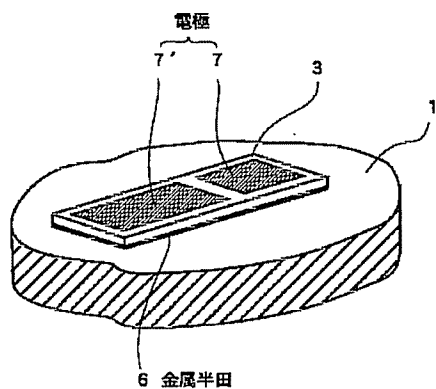
【図1】



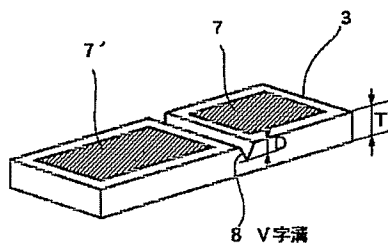
【図2】



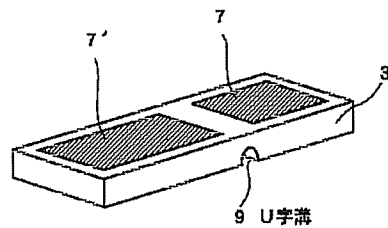
【図3】



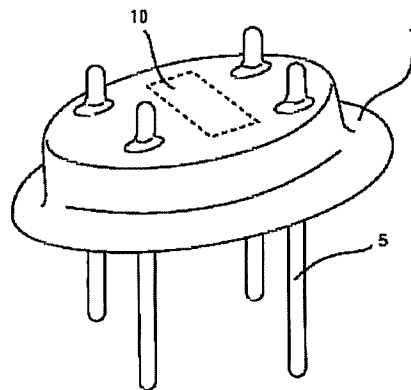
【図4】



【図5】



【図7】



【図6】

